

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of  
the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



JP8222695

Biblio

Page 1

**esp@cenet****INDUCTOR ELEMENT AND MANUFACTURE THEREOF**

Patent Number: JP8222695  
Publication date: 1996-08-30  
Inventor(s): MORI MITSUHIRO; SHIMIZU TOSHIHIKO; HASE HIDEKAZU  
Applicant(s):: HITACHI LTD  
Requested Patent: ☐ JP8222695  
Application Number: JP19950023717 19950213  
Priority Number(s):  
IPC Classification: H01L27/04 ; H01L21/822 ; H01F17/00 ; H01F41/04  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To provide an inductor element having a small size and a low loss for a monolithic microwave IC.

**CONSTITUTION:** In order to reduce an electric line of force entering a semiinsulating semiconductor substrate 10 of a high specific permittivity, a groove 102 is made, capacitance C1 of a second wiring metal layer 13 which is a parasitic capacity is sharply reduced. Thereby, an inductor element having a fixed inductance covering a wide band and a low loss can be prepared. Further, a monolithic microwave IC can be made to increase gain, to decrease power consumption and to enlarge band.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-222695

(43) 公開日 平成 8 年 (1996) 8 月 30 日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	L
21/822		4230-5E	H 0 1 F 17/00	B
H 0 1 F 17/00			41/04	C
41/04				

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平7-23717

(22) 出願日 平成 7 年 (1995) 2 月 13 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 森 光廣

東京都国分寺市東恋ヶ窪 1 丁目 280 番地

株式会社日立製作所中央研究所内

(72) 発明者 清水 敏彦

東京都国分寺市東恋ヶ窪 1 丁目 280 番地

株式会社日立製作所中央研究所内

(72) 発明者 長谷 英一

東京都国分寺市東恋ヶ窪 1 丁目 280 番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 インダクタ素子及びその製造方法

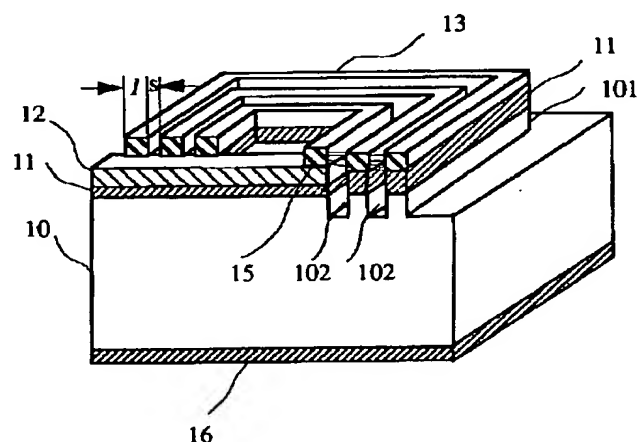
(57) 【要約】

【目的】モノリシックマイクロ波 I C 用の小型かつ低損失なインダクタ素子を提供する。

【構成】比誘電率の高い半絶縁性半導体基板 1 0 に入り込む電気力線を低減するために、溝 1 0 2 を掘り、寄生容量である第二の配線金属層 1 3 の線間容量 C 1 を大幅に低減する。

【効果】広い帯域に渡ってインダクタンスが一定で、低損失のインダクタ素子を作製できる。また、モノリシックマイクロ波 I C の高利得化、低消費電力化、広域化ができる。

図 1



## 【特許請求の範囲】

【請求項 1】基板上に形成されたインダクタ素子において、前記インダクタ素子を構成する配線層間の間隙に位置する前記基板を、その一部分の深さまで除去したことを特徴とするインダクタ素子。

【請求項 2】請求項 1 において、前記基板が半絶縁性半導体基板であるインダクタ素子。

【請求項 3】請求項 1 において、前記配線層が円形のコイル状、或いは四角形のコイル状、或いは多角形のコイル状になっているインダクタ素子。

【請求項 4】請求項 1 において、前記配線層がミアングパターンになっているインダクタ素子。

【請求項 5】請求項 1 において、前記配線層が S 字パターンになっているインダクタ素子。

【請求項 6】基板上に形成された線状のインダクタ素子において、前記インダクタ素子を構成する配線層の両側に位置する前記基板を、その一部分の深さまで除去したことを特徴とするインダクタ素子。

【請求項 7】請求項 1 において、一部分の深さまで除去された基板の溝を前記基板よりも低い比誘電率を有する絶縁物で充填したインダクタ素子。

【請求項 8】少なくとも、基板上にインダクタ素子用配線層を形成する工程と、前記配線層の線間に位置する前記基板を一部の深さまで除去して溝を掘る工程とからなるインダクタ素子の製造方法。

【請求項 9】少なくとも、基板上にインダクタ素子用配線層を形成する工程と、前記配線層の線間に位置する前記基板を一部の深さまで除去して溝を掘る工程と、前記溝を前記基板よりも低い比誘電率を有する絶縁物で充填する工程とからなるインダクタ素子の製造方法。

【請求項 10】請求項 1 に記載のインダクタ素子を含むモノリシックマイクロ波集積回路素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、移動通信、衛星通信、及び衛星放送等のマイクロ波領域で動作する集積回路において、その高周波インピーダンスの整合に用いるインダクタ素子の素子構造、及びその製法に関する。

## 【0002】

【従来の技術】これまで高周波回路を実現するには高周波動作する能動素子と、インピーダンス整合用のインダクタ素子、容量等の受動素子とを個別にセラミックス等の配線基板上に組み立てていた。しかし、その組み立て位置により整合特性が変わるので、高歩留まりで、かつ大量生産することは、きわめて困難であった。この欠点を解決するために、インダクタ素子、容量素子、抵抗等の受動素子、トランジスタ、ダイオードなどの能動素子を GaAs, InP 等の半絶縁性化合物半導体基板上につくるモノリシックマイクロ波 IC (Monolithic Microwave Integrated Circuit) が実用化されている。こ

で用いられるインダクタ素子にとっては、IC の集積度を上げるための小型化、および IC の高利得化、低消費電力化のための低損失化が必須である。

【0003】従来のモノリシックマイクロ波 IC に用いられるインダクタ素子の高性能化に関しては、例えば、長谷等により、『移動通信用低雑音 GaAs モノリシック増幅器の低消費電力化』と題する電子情報通信学会秋季大会予稿集 SC-6-8 (5 巻-198 頁~199 頁) において論じられている。

10 【0004】図 2 に従来のインダクタ素子の斜視図を示す。半絶縁性半導体基板 10 上に層間絶縁膜 11 が被着されており、その上にインダクタ素子の引出線が第一の配線金属層 12 で形成されている。外形は四角形で渦状の金属パターンが、線間距離  $s$ 、線幅  $l$  で第二の配線金属層 13 により形成されている。第一の配線金属層 11 と第二の配線金属層 13 とは、コンタクト孔 15 において電氣的接続がなされている。配線間の寄生容量を低減する目的で、前記配線金属層間の交差部は比誘電率  $\epsilon_r = 1$  の空気により絶縁するエア・ブリッジ構造 14 にな

20 っている。

【0005】16 は裏面電極である。

【0006】また回路設計では、このインダクタ素子は集中定数素子として取り扱われ、図 3 に示すような等価回路モデルにより表現される。以下に図 3 を用いてインダクタ素子の性能向上に必要な条件を述べる。同図

(a) はインダクタ素子をインダクタンス  $L$  と寄生抵抗  $R$ 、寄生容量  $C_1$ 、 $C_2$ 、 $C_3$  とを用いて表現したものである。

30 【0007】一般に、導体の高周波における抵抗は直流抵抗より大きくなる。これは高周波では導体断面中の電流の分布が様でなく、電流が導体の内部より、縁の方に集中して流れる表皮効果のためである。インダクタ素子の寄生抵抗  $R$  は配線金属層の表皮効果のため数 1 の如く表され、周波数が高くなるほど高抵抗になる。

## 【0008】

## 【数 1】

$$R(f) \propto \sqrt{f} \dots\dots\dots (数1)$$

ここで  $R$  ; 寄生抵抗  
 $f$  ; 周波数

【0009】抵抗  $R$  の低減のためには、Au, Ag, Cu, Al 等の電気抵抗の低い金属を配線金属層に用い、その配線幅  $l$ 、配線厚みの最適化を図ることにより解決できる。

【0010】一方、 $C_1$  は線間容量であり、図 2 における第一の金属配線層 12 と第二の金属配線層 13 の交差部の容量と第二の金属配線層 13 で出来たスパイラル部分自身の有する線間容量の和である。 $C_2$ 、 $C_3$  は半絶縁性半導体基板 10 を介し、裏面電極 16 と第二の金属

配線層 13 とで形成される基板容量である。寄生容量の問題を明らかにするため、更にこの等価回路を図 3

(b) のように簡略化するとインダクタ素子のインピーダンス  $Z$  は数 2 で表すことが出来る。

【0011】

【数 2】

$$Z(f) = R'(f) + j\omega L'(f)$$

..... (数2)

ここで  $R'$  ; 等価直列抵抗  
 $L'$  ; 等価インダクタンス  
 $f$  ; 周波数  
 $\omega = 2\pi f$

【0012】ここで等価インダクタンス  $L'$  と等価直列抵抗  $R'$  はいずれも周波数依存性を有する。また、インダクタ素子の性能指数として、共振の尖鋭度  $Q$  及び  $Q=0$  となる共振周波数  $f_r$  は次の数 3, 数 4 で表される。式から明らかごとく、 $Q$  及び  $f_r$  が大きいほど良いインダクタ素子といえる。

【0013】

【数 3】

$$Q(f) = \frac{\omega L'(f)}{R'(f)}$$

..... (数3)

ここで  $R'$  ; 等価直列抵抗  
 $L'$  ; 等価インダクタンス  
 $f$  ; 周波数  
 $\omega = 2\pi f$

【0014】

【数 4】

$$f_r = \frac{1}{2\pi\sqrt{LC_1}}$$

..... (数4)

ただし  $C_1 \gg C_2, C_3$  の時、  
 ここで  $C_1$  ; 線間容量  
 $L$  ; インダクタンス

【0015】図 4 はインダクタ素子における  $L'$ ,  $R'$ ,  $Q$  の周波数依存性を示したものである。 $L'$ ,  $R'$  は周波数とともに増加する傾向を示すが、理想的なインダクタ素子は、広い帯域に渡って等価インダクタンス  $L'$  が一定で、低い等価直列抵抗  $R'$  を有することが望ましい。なお、等価直列抵抗  $R'$  の周波数特性は、 $R$  の周波数特性より急峻であり、表皮効果の他に、寄生容量の効果を含んでいることがわかる。即ち、インダクタ素子の高性能化には、寄生容量の低減が必須である。

【0016】また、性能指数  $Q$  により、この  $L'$ ,  $R'$  の効果を代表できることが図からもわかる。即ち、高い  $Q$  値を示すインダクタ素子は高性能のモノリシックマイクロ波 IC を作製するうえで必要である。

【0017】

【発明が解決しようとする課題】理想的なインダクタ素子は、広い帯域に渡って等価インダクタンス  $L'$  が一定

で、低い等価直列抵抗  $R'$  を有することである。さらに、寄生容量のため等価直列抵抗  $R'$  は  $R$  よりもさらに増加傾向が激しい。 $R$  の低減のためには、インダクタ素子の配線金属層の直流抵抗を低減すれば良く、電気伝導度の良い金属配線を用い、配線幅 1 の拡大、配線厚みの最適化により解決できる。一方寄生容量の低減には線間容量の低減が必要で、第二の配線金属層 13 (図 2) の線間距離  $s$  を広げることにより達成できるが、この解決法はインダクタ素子が大型化し、好ましくない。

10 【0018】本発明の目的は、高い共振の尖鋭度  $Q$  と高い共振周波数  $f_r$  を有する小型のインダクタを提供することにある。

【0019】

【課題を解決するための手段】図 2 の構造を詳細に検討すると、線間に生じる電気力線は比誘電率の高い半絶縁性半導体基板 10 に集中し、寄生容量を増加させていることがわかる。半絶縁性  $GaAs$  基板で比誘電率  $\epsilon_r = 12.5$ , 半絶縁性  $InP$  基板で  $\epsilon_r = 12.6$  と高い。このため、線間容量  $C_1$  を低減するためには、半絶縁性半導体基板 10 に入り込む電気力線を低減することが必要である。そのためにはインダクタ素子を構成する配線層を半絶縁性半導体基板 10 からできるかぎり遠ざけることが必要である。

【0020】図 1 は本発明によるスパイラルインダクタの斜視図である。半絶縁性半導体基板 10, 層間絶縁膜 11, 第一及び第二の配線金属層 12, 13 が図のように配置されており、配線金属 12, 13 を支持している絶縁膜 11 および半絶縁性半導体基板 10 を残して、半絶縁性半導体基板 10 に溝 102 が形成されている。

30 【0021】

【作用】比誘電率の高い半絶縁性半導体基板 10 に入り込む電気力線を低減するために、溝 102 を掘り、第二の配線金属層 13 の線間容量を低減出来た。その結果、線間容量  $C_1$  を大幅に低減でき、広い帯域に渡って等価インダクタンス  $L'$  が一定で、低い等価直列抵抗  $R'$  を有する小型のインダクタ素子を作成できた。 $Q$  値も従来のインダクタ素子に比べて、大幅に向上することができた。

【0022】

【実施例】

(実施例 1) 図 5 は本発明によるインダクタ素子の工程図であり、以下に詳細にその製造方法を説明する。

【0023】(a)  $GaAs$ ,  $InP$  などの半絶縁性半導体基板 20 上に  $SiO_2$  等の絶縁膜 21 を  $600\text{nm}$  被着し、第一の金属配線層 22 を例えば下から  $Mo/Au/Mo$  ( $150\text{nm}/1.0\mu\text{m}/50\text{nm}$ ) の三層構造を有する金属膜で形成する。配線幅は  $10\mu\text{m} \sim 40\mu\text{m}$  を用いる。第二の絶縁膜 23、例えば  $SiO_2$ ,  $SiN$  を  $600\text{nm}$  被着後、通常のホテルングラフイー技術を用いてコンタクト孔 25 を開口する。24 はホトレジ

ストを表す。

【0024】(b)次に電解めっき用の下地金属膜26を、例えば下からTi(20nm)/Ni(150nm)の二層膜で形成する。膜の形成手段としては、蒸着法、スパッタ法が用いられる。次に、第二の配線金属層を選択めっきにより形成するため、マスク材として、ホトレジスト24'のパターンを形成する。

【0025】(c)ホトレジスト24'のパターンをマスクに、選択電解めっき法により、第二の配線金属層27を形成する。めっきする金属は高電気伝導度を有するAu, Ag, Cuなどが良い。線幅l, 線間距離sは4~16μmを用いる。

【0026】(d)ホトレジスト24'をレジスト剥離材で除去後、第二の配線金属層27をマスクとして、電解めっき用の下地金属膜26をイオンミリングで、第二の絶縁膜23及び第一の絶縁膜21をCHF<sub>3</sub>ガス+C<sub>2</sub>F<sub>6</sub>ガスを用いたドライエッチングにより順次除去する。さらに、SiCl<sub>4</sub>ガス+SF<sub>6</sub>ガスを用いてGaAsの基板を深さ8μm~20μmエッチングし、溝28を形成する。

【0027】InP基板の場合は、CH<sub>4</sub>ガス+H<sub>2</sub>ガスなどを用いる。さらに、図には示していないが、この溝28をPIQ、サイトップ(旭化成のフッ素系樹脂の商品名)等の低比誘電率を示す樹脂などで埋めこんでもよい。最後に、半絶縁性半導体基板20を100μm~200μmまで薄層化し、その裏面に裏面電極29を被着する。

【0028】図6は配線幅l=18μm, 線間距離s=14μmの巻数6ターンでL=10nHのスパイラルインダクタ素子について、従来構造のインダクタ素子(b)と、半絶縁性GaAs基板を8μmエッチングした本発明によるインダクタ素子(a)とについて、その性能を比較したものである。比較する項目はL', R', Qである。本発明によるインダクタ素子はL=L'の範囲が広く、かつ等価直列抵抗R'も比較的強く抑えられていることがわかる。移動通信で用いられる周波数f=2GHz付近におけるQ値も15から21に改善されている。また線間容量C1は、従来のインダクタ素子の0.19pFに対し、本発明によるものは、0.049pFまで低減されている。それに対応し、共振周波数frは3.65GHzから7.15GHzへ改善されている。

【0029】図7は配線幅l=18μm, 線間距離s=14μmで6ターンのインダクタ素子に関し、半絶縁性GaAs基板のエッチング深さとQ値の関係を示している。深さが20μmまではQの増加傾向が見られ、やがて飽和することがわかる。これは、ある深さ以上基板を掘っても、線間容量は低減できないことと一致している。

【0030】(実施例2)以下に、本発明の一実施例を

図8のモノリシックマイクロ波ICの断面工程図を用いて詳細に説明する。

【0031】(a)半絶縁性GaAs基板30上にGaAsFET31, MIM(Metal-Insulator-Metal)容量32, 抵抗35、及び配線層34が形成されたウェハを用意する。GaAsFET31はイオン打ち込み法によりn+, n層を、ソース電極310, ドレイン電極312をAuGe/W/Ni/Auで、ゲート電極311をAlにより形成する。MIM容量32は下層電極320のAl層と第一の配線金属層34のMo/Au層によりプラズマSiN膜321を挟んだサンドイッチ構造である。抵抗35はn+層にオーミック電極351をAuGe/W/Ni/Auにより形成する。第一の配線金属層34'はインダクタ素子の引出線であり、35は絶縁膜である。

【0032】(b)絶縁膜35'を被着後、コンタクト孔36を開口し、選択金めっきにより、インダクタ素子のコイル部分を第二の配線金属層37により形成する。金めっきの厚さは8μm、コイルの線/線間距離は6μm/4μmを用いた。

【0033】(c)ホトレジスト382と金めっきにより形成されたインダクタ素子のコイル部分をエッチングマスクにして、絶縁膜35, 35'をエッチングする。さらに、半絶縁性GaAs基板30を深さ10μmエッチングし、コイルの間に深い溝381を有するインダクタ素子38を形成する。最後に、半絶縁性GaAs基板30を150μmまで薄層化し、裏面電極39を被着する。

【0034】以上のプロセスを経て作成された低雑音増幅器の性能について以下に述べる。モノリシックマイクロ波ICに用いる入出力インピーダンス整合回路には、容量とインダクタ素子が用いられ、その低損失化は、低雑音増幅器等の回路にとって重要である。即ち、整合回路に用いるインダクタ素子の等価直列抵抗R'が大きいと、回路の利得は低下する。さらに利得が低下しただけ、雑音指数も増大し、回路性能の劣化を生じる。このためインダクタ素子による損失は、能動素子であるGaAsMESFETの雑音指数に比べ、回路として提供できる雑音指数を劣化させるといった問題がある。本実施例によれば、インダクタ素子の線間寄生容量を低減することができ、高性能の低雑音増幅器が作成できた。

【0035】即ち、従来は消費電流2mAで、1.9GHzで動作する低雑音増幅器の電力利得はPG=13.5dB、雑音指数NF=2.0dBであったが、本実施例によるインダクタ素子を用いた低雑音増幅器は、同一駆動電流で、PG=14.5dB, NF=1.2dBが得られた。また、消費電流を1.6mA、即ち20%低減しても、PG=13.5dB, 雑音指数NF=2.0dBの従来のインダクタ素子を用いた場合の回路性能が得られた。本実施例によるインダクタ素子を用いることによ

り、回路の高利得化、低消費電力化、低雑音化が出来ることが明らかである。さらに、広い周波数範囲に渡って等価インダクタンス $L'$ が一定であるため、高帯域増幅器などのマイクロ波回路を容易に設計できる。

【0036】（実施例3）以下に、本発明の別の実施例を図9のインダクタ素子断面図を用いて詳細に説明する。

【0037】（a）ミアンダパターンによるインダクタ素子の平面図を図9（a）に示し、そのA-A'に沿った断面図を同図（b）に示す。配線43で作られたパターンの外周に位置する半絶縁性半導体基板40をエッチング除去したものである。基板の溝41は $\epsilon_r = 3$ のPIQ44を用いて埋め込まれている。42は層間絶縁膜、47は裏面電極を表す。

【0038】（b）S字パターンによるインダクタ素子の平面図を図9（c）に示す。配線45で作られたパターンの外周に位置する半絶縁性半導体基板40をエッチング除去し、溝46を形成したものである。

【0039】以上の他に、ストリップ線路による線状のインダクタに関しても、ストリップ線路の両側の基板を掘ることにより、性能の向上が図れる。

【0040】

【発明の効果】本発明によれば、インダクタ素子の線間容量 $C_1$ を大幅に低減でき、広い帯域に渡って等価インダクタンス $L'$ が一定で、低い等価直列抵抗 $R'$ を有する小型で低損失のインダクタ素子を作製できる。また共\*

\* 振の尖鋭度 $Q$ 、共振周波数 $f_r$ も従来のインダクタ素子に比べて、大幅に向上することができる。さらに、本発明によるインダクタを用いたモノリシックマイクロ波ICの高利得化、低消費電力化ができるとともに、回路の広帯域化設計が容易にできる。

【図面の簡単な説明】

【図1】本発明によるインダクタ素子の斜視図。

【図2】従来のインダクタ素子の斜視図。

【図3】インダクタ素子の等価回路図。

10 【図4】インダクタ素子の等価回路定数の周波数依存性の特性図。

【図5】本発明による一実施例のインダクタ素子の工程を示す断面図。

【図6】従来及び本発明によるインダクタ素子の性能比較特性図。

【図7】本発明によるインダクタ素子の溝の深さと $Q$ 値の関係を示す特性図。

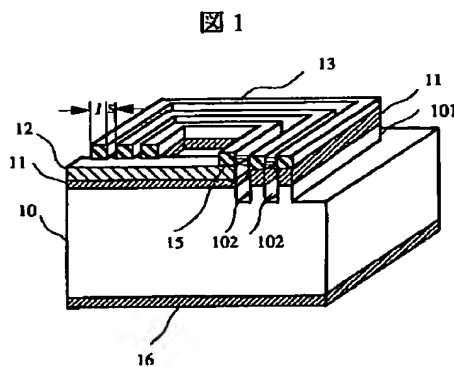
【図8】本発明による一実施例のモノリシックマイクロ波ICの工程を示す断面図。

20 【図9】本発明による一実施例のインダクタ素子の断面図。

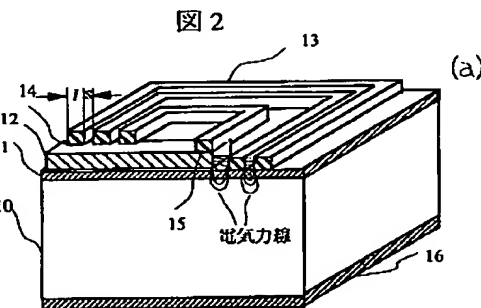
【符号の説明】

10, 101, 40…半絶縁性半導体基板、11…層間絶縁膜、12…第一の配線金属層、13…第二の配線金属層。

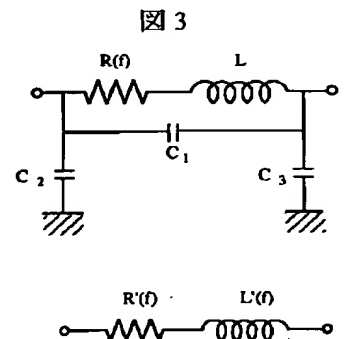
【図1】



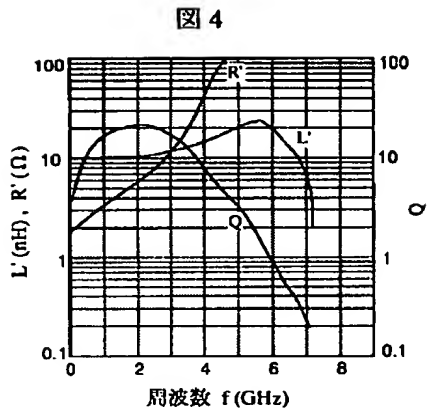
【図2】



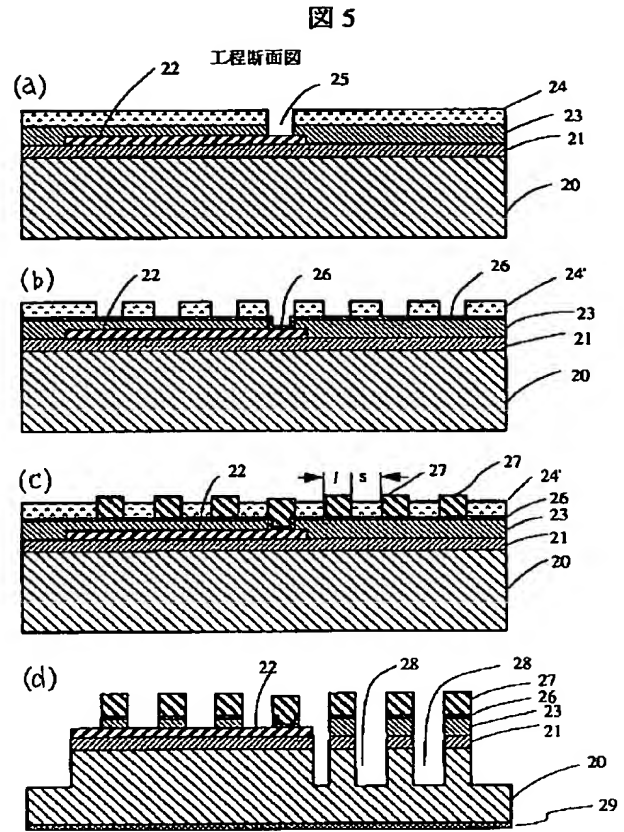
【図3】



【図4】

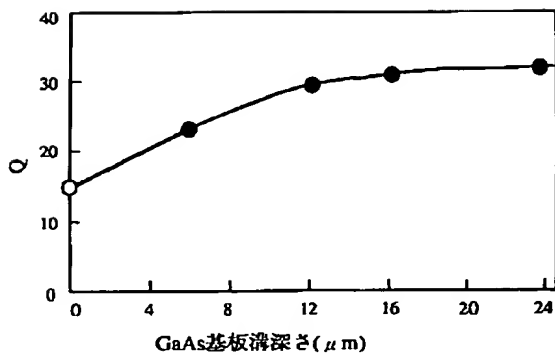


【図5】



【図7】

図7

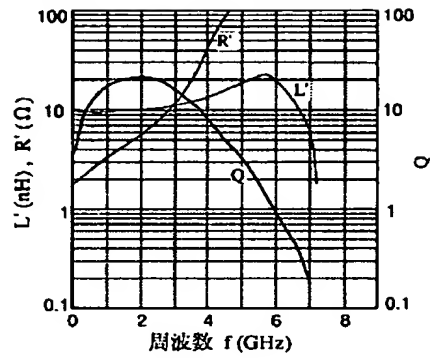




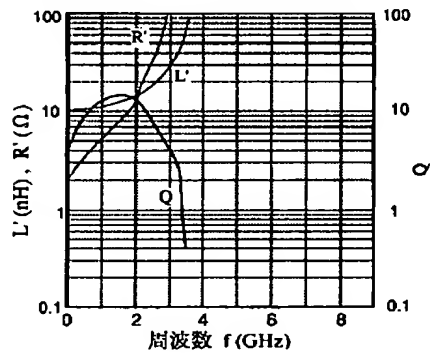
【図 6】

図 6

(a) 本発明によるインダクタ素子の特性



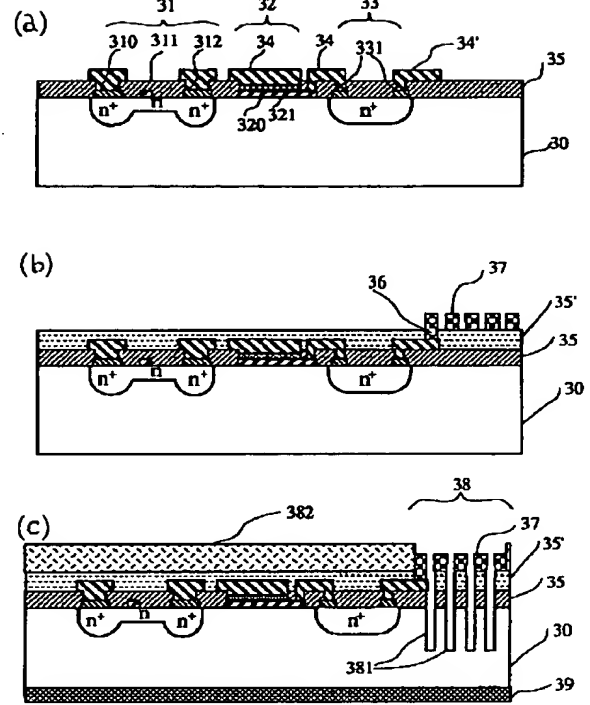
(b) 従来構造のインダクタ素子の特性



【図 8】

図 8

工程断面図

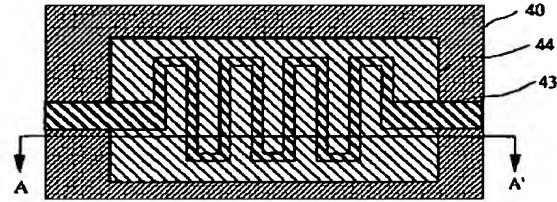


【図 9】

(a)

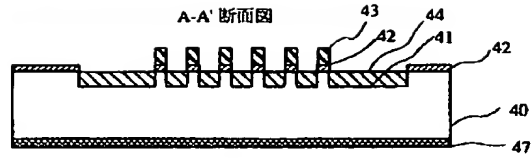
図 9

平面図



(b)

A-A' 断面図



(c)

平面図

